

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 5月28日

出 願 番 号

Application Number:

平成11年特許願第149078号

出 願 人

Applicant (s):

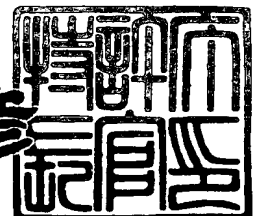
日本電気株式会社



2000年 3月17日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3017583

【書類名】 特許願
【整理番号】 76110181
【提出日】 平成11年 5月28日
【あて先】 特許庁長官 殿
【国際特許分類】 G02F 1/133
G09G 3/36
H04N 1/04
H04N 3/16

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内
【氏名】 佐藤 哲史

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内
【氏名】 関根 裕之

【特許出願人】

【識別番号】 000004237
【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816
【弁理士】
【氏名又は名称】 加藤 朝道
【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【包括委任状番号】 9304371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 走査回路

【特許請求の範囲】

【請求項 1】

4 相クロックで転送部トランスファゲート及びフィードバック回路の動作が制御される双方向シフトレジスタを備えた走査回路において、

前記転送部トランスファゲートに供給する制御クロックを、前記フィードバック回路に供給する制御クロックに対して遅らせる遅延回路を備えたことを特徴とする走査回路。

【請求項 2】

トランスファゲートが複数段直列接続され信号を転送する転送部と、前記転送部のトランスファゲート間の接続点にそれぞれ接続され前記転送部を転送される信号の振幅の減衰を防ぐための複数のフィードバック回路とを備えた走査回路において、

前記転送部のトランスファゲートの動作タイミングを制御するクロックを、前記フィードバック回路の動作タイミングを制御するクロックに対して遅らせる遅延回路を備えたことを特徴とする走査回路。

【請求項 3】

トランスファゲートが複数段直列接続され信号を転送する転送部と、前記トランスファゲート間の接続点にそれぞれ接続され前記転送部を転送される信号の振幅の減衰を防ぐための複数のフィードバック回路とを備えた走査回路において、

入力端子から 2 相クロックを入力し、

制御信号の値に基づき、前記入力した 2 相のクロックを正転、反転した信号をそれぞれ出力する位相制御回路と、

前記入力した 2 相のクロックを遅延させる遅延回路と、

を備え、

前記位相制御回路から出力される 2 相クロックに対して前記遅延回路からの 2 相クロックが遅延され、

前記転送部のトランスファゲートには前記遅延回路で遅延された 2 相クロック

が供給され、前記フィードバック回路には前記位相制御回路からの 2 相クロックが供給される、ことを特徴とする走査回路。

【請求項 4】

前記フィードバック回路が、前記転送部を構成するトランスファゲート間の接続点に入力端を接続した第 1 のインバータと、入力端が、前記第 1 のインバータの出力端に接続され、出力端が、前記第 1 のインバータの入力端に、前記フィードバック回路に供給されるクロックでオン・オフ制御されるトランスファゲートを介して接続される第 2 のインバータとを備えたことを特徴とする請求項 2 又は 3 記載の走査回路。

【請求項 5】

前記フィードバック回路が、前記転送部を構成するトランスファゲート間の接続点に入力端を接続した第 1 のインバータと、入力端が、前記第 1 のインバータの出力端に接続され、出力端が、前記第 1 のインバータの入力端に接続され前記フィードバック回路に供給されるクロックでオン・オフ制御されるクロックドインバータとを備えたことを特徴とする請求項 2 又は 3 記載の走査回路。

【請求項 6】

トランスファゲートが複数段直列接続され入力されたパルス信号を遅延転送する転送部と、

前記トランスファゲート間の接続点にそれぞれ接続され、入力端と出力端がスイッチを介して接続される 2 段のインバータを含む複数のフィードバック回路と、を備え、

前記転送部のトランスファゲートのオン・オフの動作タイミングを制御するクロックの位相を、前記フィードバック回路のスイッチのオン・オフの動作タイミングを制御するクロックよりも遅らせる遅延回路を備えたことを特徴とする走査回路。

【請求項 7】

トランスファゲートが複数段直列接続され入力されたパルス信号を遅延転送する転送部と、

前記各段のトランスファゲート間の接続点にそれぞれ接続され、入力端と出力

端が接続されるインバータとクロックドインバータを含む複数のフィードバック回路と、を備え、

前記転送部のトランスファゲートのオン・オフの動作タイミングを制御するクロックの位相を、前記フィードバック回路のクロックドインバータのオン・オフの動作タイミングを制御するクロックよりも遅らせる遅延回路を備えたことを特徴とする走査回路。

【請求項 8】

入力端子から 2 相クロックを入力し、

前記入力した 2 相のクロックを、シフト方向を制御する制御信号の値に基づき正転／反転した信号を出力する位相制御回路を備え、

前記遅延回路が、前記入力した 2 相のクロックを遅延させ、前記位相制御回路から出力される 2 相クロックに対して前記遅延回路からの 2 相クロックが遅れている、ことを特徴とする請求項 6 又は 7 記載の走査回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、走査回路に関し、特に双方向走査可能な走査回路に関する。

【0002】

【従来の技術】

液晶表示装置の小型化、低コスト化を目的として、液晶表示基板と同じ基板上に、画素マトリクス của データ線、ゲート線を駆動するデータドライバ回路や、ゲートドライバ回路の周辺駆動回路を集積化する技術開発が進んでいる。周辺駆動回路を構成している各種回路の中で、ゲート走査パルス信号や、サンプリングパルス信号を生成する走査回路は、重要な回路要素の一つとなっている。

【0003】

そして、この走査回路には、液晶ディスプレイの表示反転機能等の高機能化に対応するために、双方向走査が可能であることが求められている。特に、液晶表示装置を液晶プロジェクタのライトバルブに用いる場合は、プロジェクタ内の光学系とプロジェクタの使用形態により、映像を上下、左右に反転する機能が必要

となり、双方向走査回路が必須の回路となっている。

【0004】

この種の双方向走査回路として、例えば特開平 7-134277 号公報には、図 7 に示すような構成が開示されている。図 7 を参照すると、右シフトスタートパルスが入力される第 1 の入力端子 STR、および左シフトスタートパルスが入力される第 2 の入力端子 STL に対応して、前段からの信号をクロック A、B により次段へ転送する互いに直列接続された転送部トランスファゲート 103-1 ~ 103-(N+1) と、転送されるパルス信号の振幅減衰を防ぐためのフィードバック回路 104-1 ~ 104-N と、フィードバック回路 104-1 ~ 104-N の出力を、それぞれ OUT1 ~ OUTN として出力する出力バッファ回路 105-1 ~ 105-N とを備えて構成されている。フィードバック回路 104-1 ~ 104-N は、図 7 に示すように、入力端と出力端を互いに接続したインバータ 106-1 ~ 106-N とクロックトインバータ 110-1 ~ 110-N を備えて構成されており、クロックトインバータ 110-1 ~ 110-N はクロック信号 C、D によりオン・オフ制御されている。

【0005】

転送部トランスファゲート 103-1 ~ 103-(N+1) を構成する n チャネル MOS トランジスタと p チャネル MOS トランジスタのゲートには、各段毎交互に、クロック A、B が入れ替えて入力される。フィードバック回路 104-1 ~ 104-N のクロックトインバータ 110-1 ~ 110-N には、各段毎、交互に、クロック C、D が入れ替えて入力される。

【0006】

図 10 は、クロックトインバータ 110-1 ~ 110-N の回路構成を示す図である。図 10 (a) に、クロック信号 C 及び D を、それぞれ n チャネル MOS トランジスタ T2 及び p チャネル MOS トランジスタ T1 のゲートに供給するクロックトインバータ回路 (トランジスタ T3、T4) のシンボルと回路構成を示す。また、図 10 (b) に、クロック信号 D 及び C を、それぞれ n チャネル MOS トランジスタ T2 及び p チャネル MOS トランジスタ T1 のゲートに供給するクロックトインバータ回路 (トランジスタ T3、T4) のシンボルと回路構成を

示す。pチャネルMOSトランジスタT1のドレインとnチャネルMOSトランジスタT2のドレインの間に接続され、ゲートが共通接続され入力端子に接続され、ドレインが共通接続され出力端子に接続されたpチャネルMOSトランジスタT3とnチャネルMOSトランジスタT4は、CMOSインバータを構成しており、相補クロックC、Dの値により電源VDD、VSS間の電流パスをオン・オフしてCMOSインバータの動作をオン・オフさせる。

【0007】

図8は、図7に示した従来の走査回路の動作を説明するためのタイミングチャートであり、右シフトの場合、クロックA～D、端子STR、OUT1～OUTNの信号波形を示すタイミングチャートである。

【0008】

右シフトの場合、スタートパルスSTRを第1の入力端子STRに、図8に示すタイミングで入力し、第2の入力端子STLは開放する。また、クロック信号A及びDを共通のクロック ϕ とし、かつ、クロック信号B及びCを共通のクロック信号 ϕ^{-} （クロック ϕ の反転信号）とする。すなわちクロックA、Bは相補的2相信号であり、C、Dも同じく相補的2相信号である。

【0009】

このように、クロック信号A～Dを設定することにより、右シフトの走査回路が形成され、走査出力OUT1からOUTNの順にシフトした走査パルス信号が出力される。

【0010】

図9は、左シフトの場合のタイミングチャートを示したものである。左シフトの場合、スタートパルスSTLを第2の入力端子に、図9に示すタイミングで入力し、第1の入力端子STRは開放する。また、クロック信号A及びCを共通のクロック ϕ とし、クロック信号B及びDを共通のクロック信号 ϕ^{-} とする。右シフトの場合に対して、クロック信号CとDを入換えた設定となっている。

【0011】

このように設定することにより、左シフトの走査回路が形成され、走査出力OUTNからOUT1の順に、シフトした走査パルス信号が出力される。

【0012】

図7に示した走査回路を用いることにより、シフト方向切換えのための付加回路が無くてもシフト方向を切換えて動作させることができる。

【0013】

【発明が解決しようとする課題】

しかしながら、図7に示した従来の双方向走査回路では、制御に用いるクロック信号A～Dの間で位相のずれが生じた場合に誤動作しやすく、制御クロック間の位相のずれに対する動作マージンが非常に小さい、という問題がある。

【0014】

双方向シフトレジスタ回路を制御する4本のクロックの間で位相のずれが生じ、クロック信号C、Dがクロック信号A、Bに対して遅れる位相のずれがクロックA～D間に生じると、フィードバック回路の動作（オン）タイミングが、パルスを転送するトランスファゲートの動作（オン）タイミングに対して遅延し、転送部を転送されるパルス信号の振幅が、該遅延分だけ減衰してしまう。そして、転送されるパルス信号の電圧振幅がフィードバック回路のしきい値以下まで減衰してしまうと、パルス転送が不可能となる。

【0015】

このため、従来の走査回路において、この様な位相のずれに対する動作マージンは非常に小さなものとなる。その結果、誤動作しやすく、またタイミング設計の容易化も困難である。

【0016】

したがって本発明は、上記課題の認識に基づきなされたものであって、その目的は、クロック信号の位相のずれに対する動作マージンを広げ、動作を安定なものとする走査回路を提供することにある。

【0017】

【課題を解決するための手段】

前記目的を達成する本発明の走査回路は、上記したクロック信号A、Bをクロック信号C、Dに対して遅らせることにより、クロック信号の位相のずれに対する動作マージンを広げるものである。より詳細には、本発明は、トランスファゲ

ートが複数段直列接続されてなる転送部トランスファゲートと、前記トランスファゲートの接続点にそれぞれ接続された複数のフィードバック回路とを備えた走査回路において、前記転送部トランスファゲートの動作タイミングを制御するクロックを、前記フィードバック回路の動作タイミングを制御するクロックに対して遅らせる遅延回路を備える。

【0018】

【発明の実施の形態】

本発明の走査回路は、4本のクロック信号によって制御される双方向シフトレジスタ回路と、その制御クロック配線に付加された遅延回路とを備えて構成され、外部回路より供給される制御クロック間に生じる位相のずれに対して、大きな動作マージンをもつようにしたものである。

【0019】

双方向シフトレジスタ回路は、前段からのパルス信号を転送するためのトランスファゲートを制御するクロックA、Bと、転送されるパルス信号の振幅減衰を防ぐためのフィードバック回路を制御するクロックC、Dとの計4本のクロック信号によって動作し、クロックC、Dの位相を正転／反転させることによって、シフト方向を選択することができる。

【0020】

ところで、図7に示した従来の走査回路において、クロック信号C、Dがクロック信号A、Bに対して遅れる位相のずれに対して、クロック信号A、Bがクロック信号C、Dに対して遅れる場合は、フィードバック回路の動作タイミングが、スタートパルスを転送するトランスファゲートの動作タイミングより速く、転送パルスの振幅減衰が起こることはない。すなわち、このような位相のずれに対する動作マージンは大きい。

【0021】

本発明者らは、上記知見に基づき、本発明を創案するに至った。すなわち、本発明においては、制御クロック配線に遅延回路を付加し、クロックA、BをクロックC、Dに対して常に遅らせることによって、制御クロック間に位相のずれが生じ、クロックC、DがクロックA、Bに遅れたときの動作マージンを確保し、

従来例よりも制御クロック間の位相のずれに対する動作マージンを大きくしている。

【0022】

本発明の走査回路は、その好ましい実施の形態において、トランスファゲートが複数段直列接続されてなる転送部トランスファゲートと、前記トランスファゲート間の接続点にそれぞれ接続された複数のフィードバック回路とを備えた双方向走査回路において、転送部トランスファゲート（103）に供給される制御クロック（A、B）をフィードバック回路（104）に供給する制御クロック（C、D）に対して遅らせる遅延回路（101）を備える。

【0023】

また、本発明の走査回路は、その好ましい実施の形態において、トランスファゲートが複数段直列接続されてなる転送部トランスファゲートと、前記トランスファゲート間の接続点にそれぞれ接続された複数のフィードバック回路とを備えた双方向走査回路において、入力端子から2相クロックを入力し、前記入力した2相のクロックを制御信号の値に基づき正転／反転した信号を出力する位相制御回路（109）と、前記入力した2相のクロックを遅延させる遅延回路（101）とを備え、位相制御回路（109）から出力される2相クロックに対して前記遅延回路（101）からの2相クロックが遅延され、転送部トランスファゲート（103）には前記遅延回路（101）で遅延された2相クロックが供給され、前記双方向シフトレジスタのフィードバック回路（104）には前記位相制御回路からの2相クロックが供給される。

【0024】

本発明の実施の形態において、フィードバック回路（104）は、転送部トランスファゲート（103）を構成するトランスファゲート間の接続点に入力端を接続した第1のインバータ（106）と、入力端が、第1のインバータの出力端（106）に接続され、出力端が、第1のインバータ（106）の入力端に、フィードバック回路に供給されるクロックでオン・オフ制御されるトランスファゲート（108）を介して接続される第2のインバータ（107）とを備える。

【0025】

本発明の実施の形態において、フィードバック回路(104)は、転送部トランスファゲート(103)を構成するトランスファゲート間の接続点に端を接続した第1のインバータ(106)と、端が、前記第1のインバータの出力端に接続され、出力端が、第1のインバータ(106)の端に接続され前記フィードバック回路に供給されるクロックでオン・オフ制御されるクロックドインバータ(110)とを備えた構成としてもよい。

【0026】

【実施例】

本発明の実施例について図面を参照して以下に説明する。図1は、本発明の走査回路の第1の実施例の構成を示す図である。図1を参照すると、この走査回路は、クロックA~Dの4相クロックで制御を行う双方向シフトレジスタ回路100と、クロックA、BをクロックC、Dに対して遅延させる遅延回路101を備えて構成される。

【0027】

双方向シフトレジスタ回路は、端子STにされるスタートパルス、クロックA、Bを、各段毎交互に、チャンネルMOSトランジスタ、チャンネルMOSトランジスタのゲートにそれぞれし、逐次次段へ転送する互いに直列接続されたN段の転送部トランスファゲート(CMOSトランスファゲート)100-1~100-(N+1)と、転送されるパルス信号の振幅減衰を防ぐフィードバック回路104-1~104-Nと、フィードバック回路の出力をそれぞれOUT1~OUTNへ出力するための出力バッファ回路105-1~105-Nとを備えて構成されている。

【0028】

フィードバック回路104-1~104-Nは、転送部トランスファゲート100-1~100-Nのそれぞれの接続点に端がそれぞれ接続されたインバータ106-1~106-Nと、インバータ106-1~106-Nの出力端に端がそれぞれ接続されたインバータ107-1~107-Nと、インバータ107-1~107-Nの出力端と転送部トランスファゲート100-1~100-Nの接続点との間に挿入され、クロックC、Dを、各段毎交互に、チャネ

ルMOSトランジスタ、pチャネルMOSトランジスタのゲートにそれぞれ入力するトランスファゲート108-1~108-Nとを備えている。インバータ107-1~107-Nはトランスファゲート108-1~108-Nを介してインバータ106-1~106-Nの入力端にそれぞれ接続されフィードバック回路を構成する。

【0029】

相補的2相信号クロックA、Bによって、隣り合う転送部トランスファゲート106-1~106-(N+1)が交互にON/OFFを繰り返すように、転送部トランスファゲートのpチャネルMOSトランジスタ、及びnチャネルMOSトランジスタの各ゲートは、偶数番目と奇数番目で交互にクロックA、Bに接続されている。

【0030】

また相補的2相信号クロックC、Dによって、隣り合うフィードバック回路のトランスファゲートが交互にON/OFFを繰り返すように、フィードバック回路のトランスファゲート108-1~108-NのnチャネルMOSトランジスタ、及びpチャネルMOSトランジスタの各ゲートは、偶数番目と奇数番目で交互にクロックC、Dに接続されている。

【0031】

また、フィードバック回路は、インバータ107-1~107-Nとトランスファゲート108-1~108-Nを図10に示したクロックインバータで構成してもよい。

【0032】

遅延回路101は、双方向シフトレジスタ100の転送部トランスファゲート100-1~100-(N+1)のON/OFFタイミングをフィードバック回路104-1~104-NのON/OFFタイミングより遅らせるために、クロック入力端子A、Bと転送部トランスファゲートの制御クロック線の間、偶数段のインバータ101-1~101-2M、108-1~108-2Mをそれぞれ直列接続することによって構成されている。

【0033】

また、遅延回路 101 は、直列接続したインバータよりなる構成に限定されず、NANDゲート等による構成でも、その他の論理素子による構成でもよい。

【0034】

本発明の一実施例の走査回路は、制御クロックの設定により双方向走査が可能であり、以後、スタートパルスがOUT1からOUTNへと昇順に逐次転送される場合を右シフト、スタートパルスがOUTNからOUT1へと降順に逐次転送される場合を左シフトとする。

【0035】

図2は、本発明の一実施例における走査回路の右シフトのタイミング動作を説明するためのタイミングチャートであり、図3は左シフトの動作を説明するためのタイミングチャートである。図2、図3には、図1の各端子、及びクロックA～Dの信号波形が示されている。

【0036】

走査回路を右シフトで動作させるときは、各クロック入力端子A～Dには、図2に示すように、入力端子AとDに同相クロック信号、入力端子BとCに逆相クロック信号を与える。入力端子A、Bに与えられたクロック信号は、遅延回路101によって遅延され、双方向シフトレジスタの転送部トランスファゲート103の制御クロックA、Bとして用い、入力端子C、Dに与えられたクロック信号は、そのままフィードバック回路104の制御クロックC、Dとして用いている。

【0037】

図2に示すようなスタートパルス信号が入力端子STに入力されると、タイムポイント①で、クロックA、Bにより転送部トランスファゲート103-1はOFFからONとなり、また、クロックCはLowレベル、クロックDはHighレベルであるためフィードバック回路104-1のトランスファゲート108-1はOFFとされており、タイムポイント①以後、フィードバック回路104-1のインバータ106-1と出力バッファ回路105-1を経て、出力端子OUT1に、スタートパルス信号が出力される。

【0038】

次にタイムポイント②で、転送部トランスファゲート103-2がOFFからONとなり、出力OUT1のパルス信号の遅延転送が行われる。

【0039】

遅延回路101による遅延時間分だけ、クロックA、BはクロックC、Dに遅れているため、タイムポイント②のとき、フィードバック回路104-1のトランスファゲート108-1は、クロックC、DがそれぞれHigh、Lowレベルであるため既にON状態とされ、タイムポイント②でトランスファゲート103-1がONからOFFになっても、パルス信号の振幅は減衰することなく、トランスファゲート103-2、インバータ106-2、出力バッファ回路105-2から出力OUT2へ転送される。

【0040】

次にタイムポイント③で、パルス信号は出力OUT2から出力OUT3へ転送される。

【0041】

タイムポイント③よりも遅延時間(t_d)分だけ速く(タイムポイントa)、フィードバック回路104-2のトランスファゲート108-2がONとなり、このとき、同時に、フィードバック回路104-1のトランスファゲート108-1はOFFとなるが、トランスファゲート103-1はOFFであり、トランスファゲート103-2、トランスファゲート108-2がONであるため、出力OUT1の状態は変化しない。

【0042】

この後、タイムポイント③で、トランスファゲート103-1がON、トランスファゲート103-2がOFFとなると、OUT1は再び入力端子STのレベルと等電位のLowレベルとなる。

【0043】

以上の動作を繰り返すにより、クロックA、Bに同期した走査パルス信号が出力OUT1からOUTNの順に出力される。

【0044】

走査回路を左シフトで動作させるときは、各クロック入力端子には、図3に示

すように、入力端子AとCに同相クロック信号、入力端子BとDに逆相クロック信号を与える。入力端子A、Bに与えられたクロック信号は、遅延回路101によって遅延させて双方向シフトレジスタ100の転送部トランスファゲート103の制御クロックA、Bとして用い、入力端子C、Dに与えられたクロック信号は、そのままフィードバック回路104の制御クロックC、Dとして用いる。

【0045】

図3に示すように、スタートパルス信号が入力端子STに入力されると、タイムポイント①で、クロックA、Bにより、転送部トランスファゲート103-(N+1)はOFFからONとなり、また、フィードバック回路104-Nのトランスファゲート108-NはOFFであるため、タイムポイント①以後、フィードバック回路104-Nのインバータ106-Nと出力バッファ回路105-Nを経て、出力OUTNにスタートパルス信号が出力される。

【0046】

次にタイムポイント②で、トランスファゲート103-NがOFFからONとなり、出力OUTNのパルス信号の遅延転送が行われる。遅延回路101による遅延時間分だけ、クロックA、BはクロックC、Dに遅れているため、タイムポイント②のときフィードバック回路104-Nのトランスファゲート108-Nは、クロックC、Dによって既にONであり、タイムポイント②で転送部トランスファゲート103-(N+1)がONからOFFになっても、パルス信号の振幅は減衰することなく、出力OUT(N-1)へ転送される。

【0047】

次にタイムポイント③で出力OUT(N-1)から出力OUT(N-2)への転送となる。

【0048】

タイムポイント③よりも遅延時間(t_d)分だけ速く(タイムポイントa)、フィードバック回路104-(N-1)のトランスファゲート108-(N-1)がONとなる。このとき、同時に、フィードバック回路104-Nのトランスファゲート108-NはOFFとなるが、トランスファゲート103-(N+1)はOFF、トランスファゲート103-NがONであり、トランスファゲート

108-(N-1) が ON であるため、出力 OUTN の状態は変化しない。

【0049】

この後、タイムポイント③で、トランスファゲート 101-(N+1) が ON、トランスファゲート 101-N が OFF となると、出力 OUTN は再び入力端子 ST のレベルとなる。

【0050】

以上の動作を繰り返すにより、クロック A、B に同期した走査パルス信号が OUTN から OUT1 の順に出力される。

【0051】

本発明の第 1 の実施例の走査回路によれば、制御クロック配線上に遅延回路を設けたことによって、各クロック間に位相のずれが生じた場合の動作マージンを拡大する事ができる。

【0052】

本発明の第 1 の実施例によれば、走査回路内部に遅延回路を加えたことにより、外部回路より入力される制御クロック間に、前に述べたような位相のずれが生じたとしても設計した遅延時間の範囲内での動作を保証することができる。

【0053】

図 4 は、本発明の第 2 の実施例の構成を示す図である。本発明の第 2 の実施例は、図 1 の中で示した前記第 1 の実施例の双方向シフトレジスタ回路と遅延回路に、位相反転回路 109 を加えた構成である。

【0054】

走査回路を制御するクロック信号 1、2 をそれぞれ遅延回路 101 と位相反転回路 109 に分配するために、入力端子 1 には、遅延回路 101 の一方の入力端と位相反転回路 109 の一方の入力端が並列接続され、入力端子 2 には、遅延回路 101 の他方の入力端と位相反転回路 109 の他方の入力端が並列接続されている。遅延回路 101 は、前記第 1 の実施例と同様に、直列接続されたインバータ 101-1~101-M、102-1~102-M によって構成されており、遅延回路 101 の出力は、双方向シフトレジスタ回路 100 の転送部トランスファゲート 103 にクロック A、B として接続されている。

【0055】

位相反転回路109は、図4のように、シフト方向制御信号のレベルに応じて、入力されるクロックの反転/非反転が行えるように、2つのE x O Rゲート（排他的論理和）109-1、109-2で構成され、E x O Rゲート（排他的論理和）109-1、109-2の2つの入力端には、それぞれ、入力端子1とシフト方向制御信号、入力端子2とシフト方向制御信号が入力される。なお、位相反転回路109の構成として、シフト方向制御信号と入力端子の信号との論理演算の結果がE x O Rと等価となるものあればよく、シフト方向制御信号等の論理に応じた論理回路で構成され、位相反転回路109の構成はE x O Rゲートに限定されるものではない。

【0056】

位相反転回路109の出力は、双方向シフトレジスタ回路100のフィードバック回路104のトランスファゲート108にクロックC、Dとして接続されている。

【0057】

遅延回路101からの出力であるクロックA、Bが、位相反転回路109の出力C、Dに対して、必ず遅れるように、遅延回路104は構成されている。

【0058】

図4に示した本発明の第2の実施例の走査回路の動作について、図5、及び図6のタイミングチャートを参照して説明する。

【0059】

図4に示した走査回路は、シフト方向制御信号のレベルに応じて、双方向走査が可能であり、前記第1の実施例の動作と同様に、スタートパルスがO U T 1からO U T Nへと昇順に逐次転送される場合を右シフト、スタートパルスがO U T NからO U T 1へと降順に逐次転送される場合を左シフトとする。図5は、本発明の第2の実施例における右シフト時のタイミングチャートであり、図6は、本発明の第2の実施例における左シフト時のタイミングチャートである。

【0060】

入力端子1、2に相補的2相信号を入力し、それぞれを遅延回路101と位相

反転回路 109 に分配し、遅延回路 101 の出力を双方向シフトレジスタ回路の転送部トランスファゲートを制御するクロック A、B として用い、位相反転回路 109 の出力を双方向シフトレジスタ回路 100 のフィードバック回路 104 のトランスファゲートを制御するクロック C、D として用いる。遅延回路 101 により、クロック A、B は、クロック C、D より確実に遅延される。また、位相反転回路 109 のシフト方向制御信号の High/Low によって、クロック C、D への出力を、入力端子 1、2 からの信号の同相/逆相に切り換えることができる。

【0061】

図 5 に示すように、シフト方向制御信号が High レベルのとき、クロック A～D は、図 2 に示したものと同様に、右シフトのタイミングとなる。また図 6 に示すように、シフト方向制御信号が Low レベルのとき、図 3 と同様に、左シフトのタイミングとなる。

【0062】

本発明の第 2 の実施例と、前記第 1 の実施例との相違点は、双方向シフトレジスタへのクロック A～D の供給のための構成にあり、図 4 の入力端子 1、2 より入力された 2 相信号から、遅延回路 101 と位相反転回路 109 によって供給されるクロック A～D による双方向シフトレジスタ回路の動作は、図 2、図 3 を用いて実施例 1 で説明した動作と同じである。

【0063】

本発明の第 2 の実施例の走査回路は、遅延回路によって双方向シフトレジスタ回路の制御クロックを、クロック A、B がクロック C、D に必ず遅れるようになっているので、制御クロック間に生じる位相のずれに対する動作マージンを拡大する事ができる。さらに、双方向シフトレジスタの 4 相の制御クロックを、走査回路内部で 2 相クロックから生成するようにしたことで、外部回路を単純化することができる。また、走査回路の制御線が従来のものより減ることで、端子数を削減している。

【0064】

【発明の効果】

以上説明したように、本発明によれば、走査回路内部に遅延回路を加えたことにより、外部回路より入力される制御クロック間に、前に述べたような位相のずれが生じたとしても設計した遅延時間の範囲内での動作を保証することができる。

【 0 0 6 5 】

また本発明によれば、双方向シフトレジスタの4相の制御クロックを、走査回路内部で2相クロックから生成するようにしたことにより、外部回路を単純化することができるとともに、走査回路の制御線を削減し、端子数を削減している。

【図面の簡単な説明】

【図 1】

本発明の第1の実施例の構成を示す図である。

【図 2】

本発明の第1の実施例における右シフト動作のタイミングチャートを示す図である。

【図 3】

本発明の第1の実施例における左シフト動作のタイミングチャートを示す図である。

【図 4】

本発明の第2の実施例の構成を示す図である。

【図 5】

本発明の第2の実施例における右シフト動作のタイミングチャートを示す図である。

【図 6】

本発明の第2の実施例における左シフト動作のタイミングチャートを示す図である。

【図 7】

従来の走査回路の構成を示す図である。

【図 8】

従来の走査回路の右シフト動作のタイミングチャートを示す図である。

【図 9】

従来の走査回路の左シフト動作のタイミングチャートを示す図である。

【図 10】

クロックインバータの構成を示す図である。

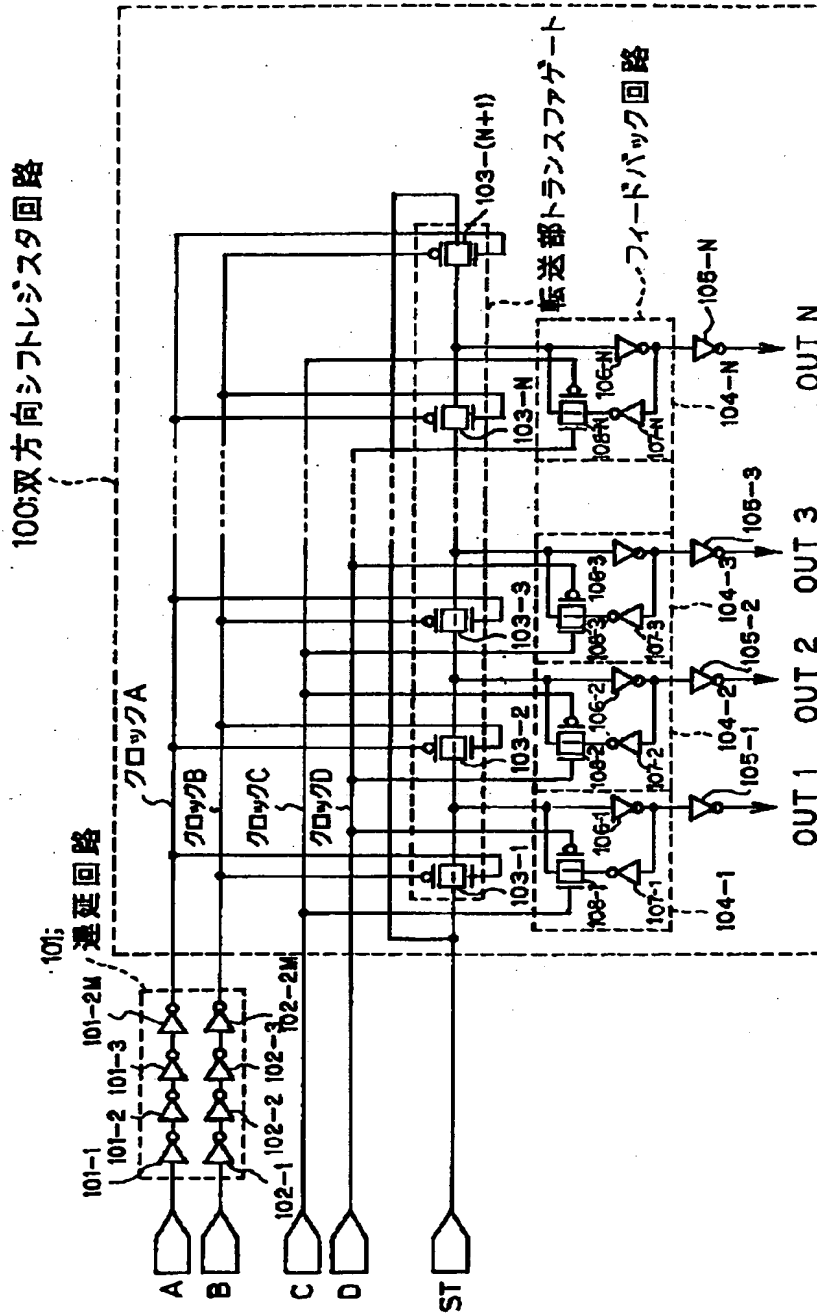
【符号の説明】

- 100 双方向シフトレジスタ
- 101 遅延回路
- 103 転送部トランスファゲート
- 104 フィードバック回路
- 105 出力バッファ回路
- 106 インバータ
- 107 インバータ
- 108 トランスファゲート
- 109 位相反転回路

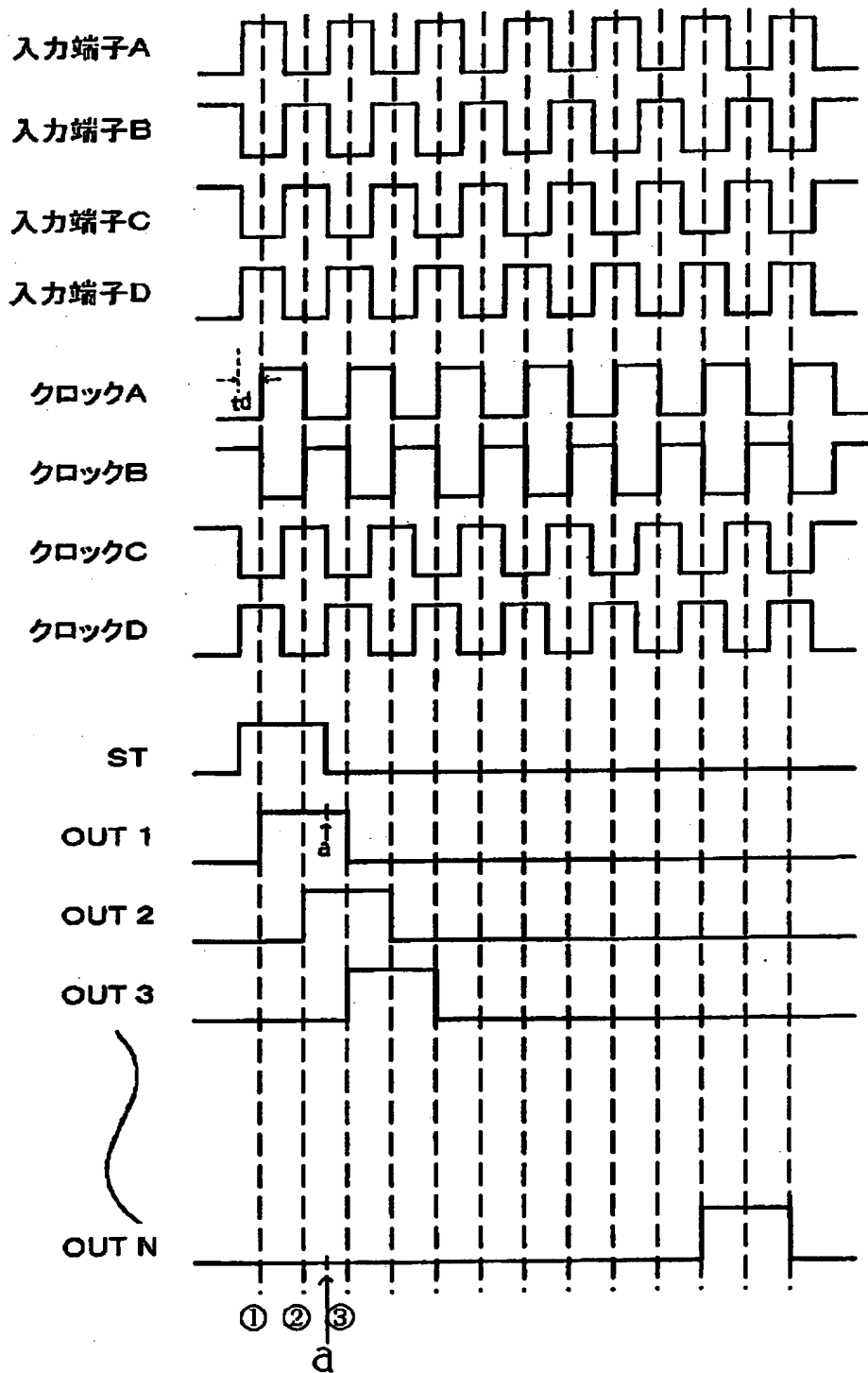
【書類名】

図面

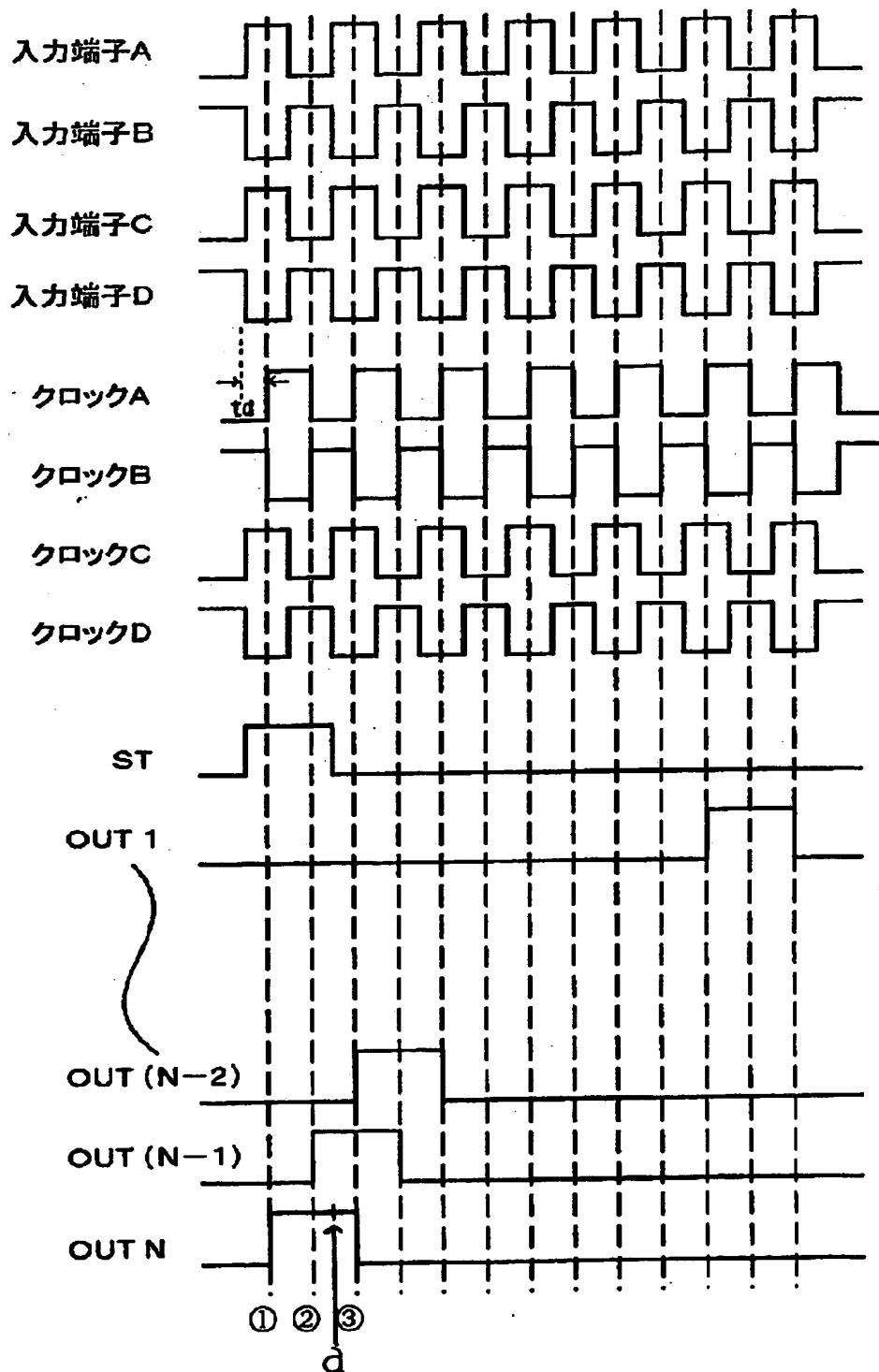
【図 1】



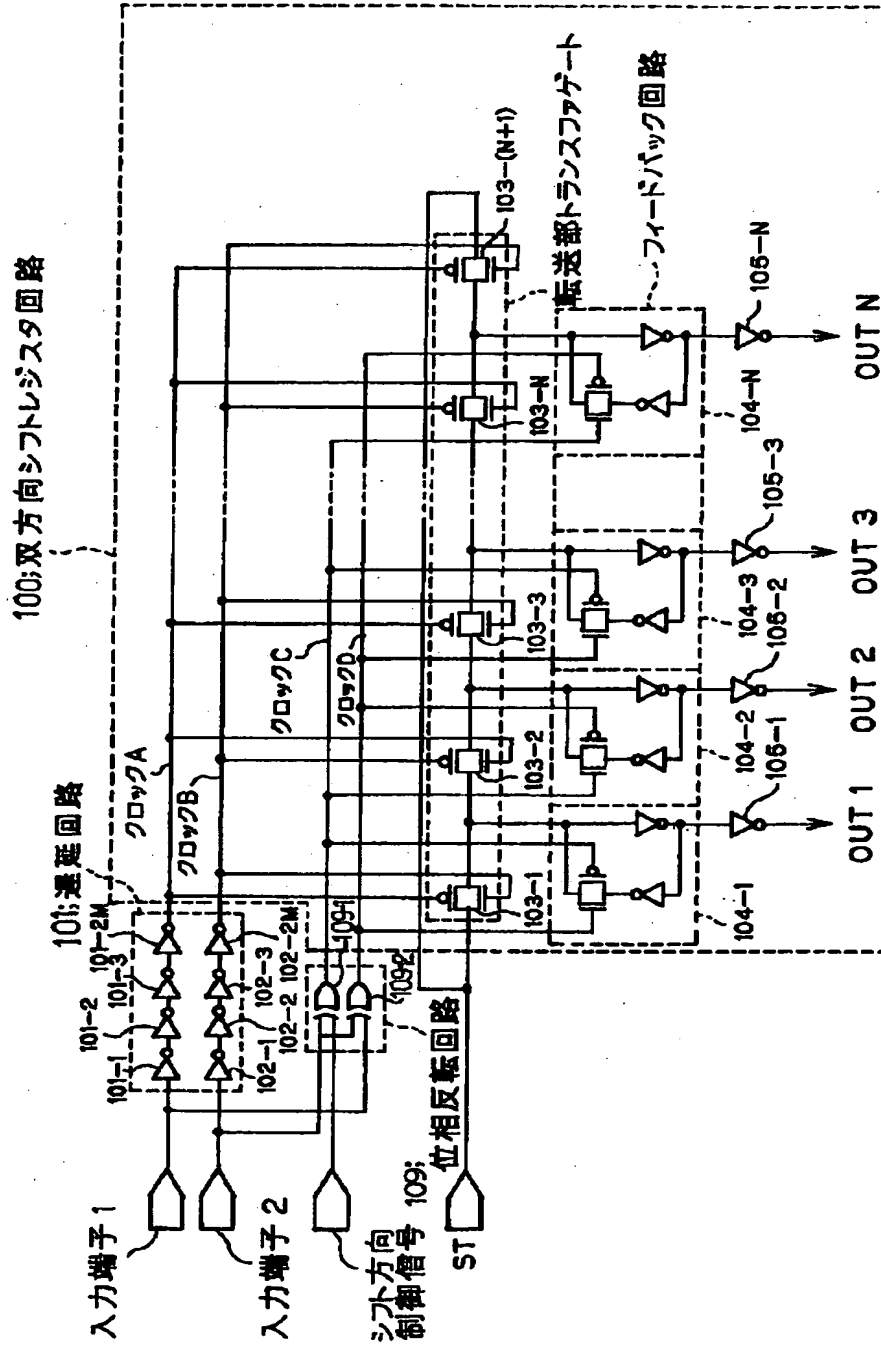
【図 2】



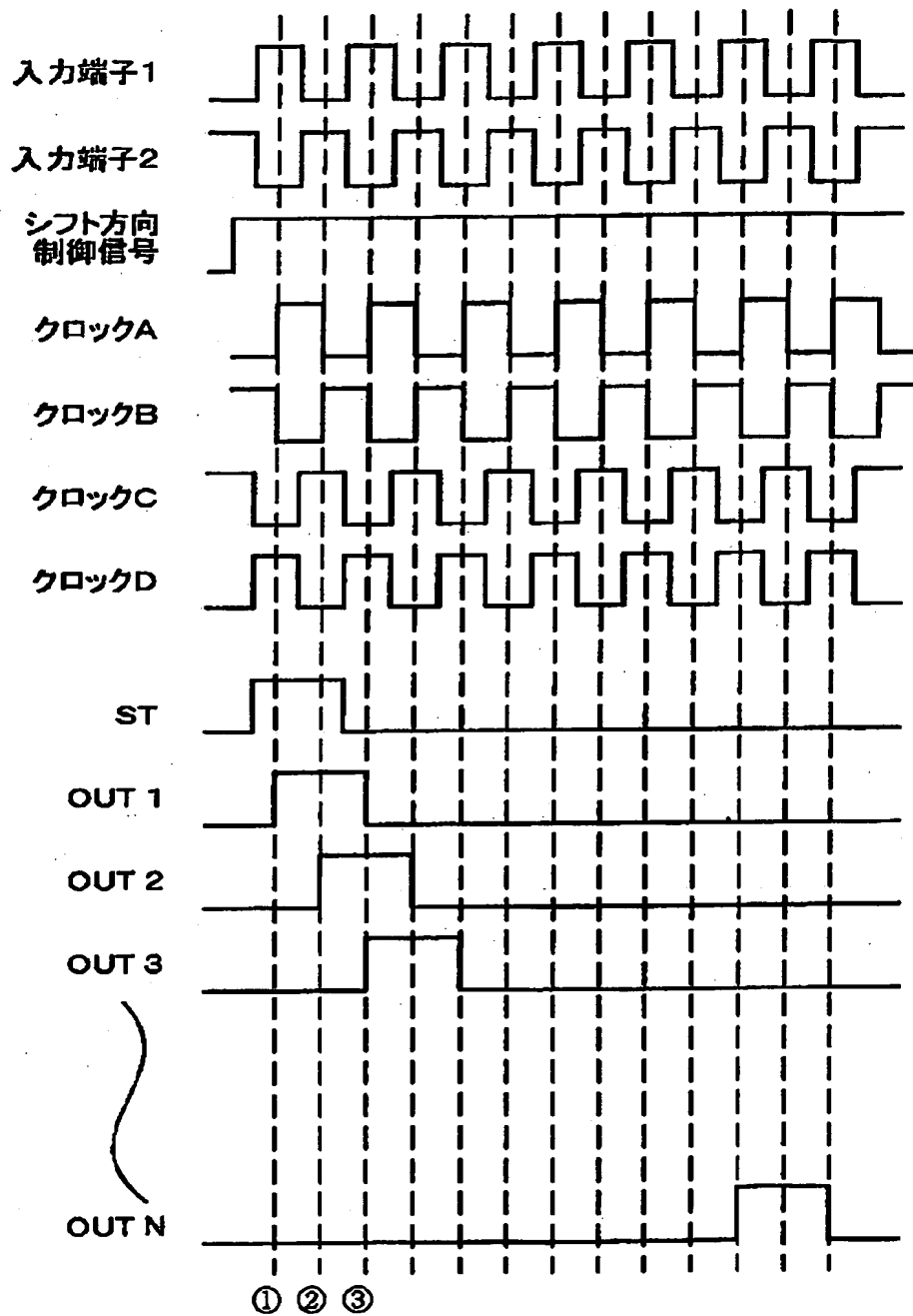
【図 3】



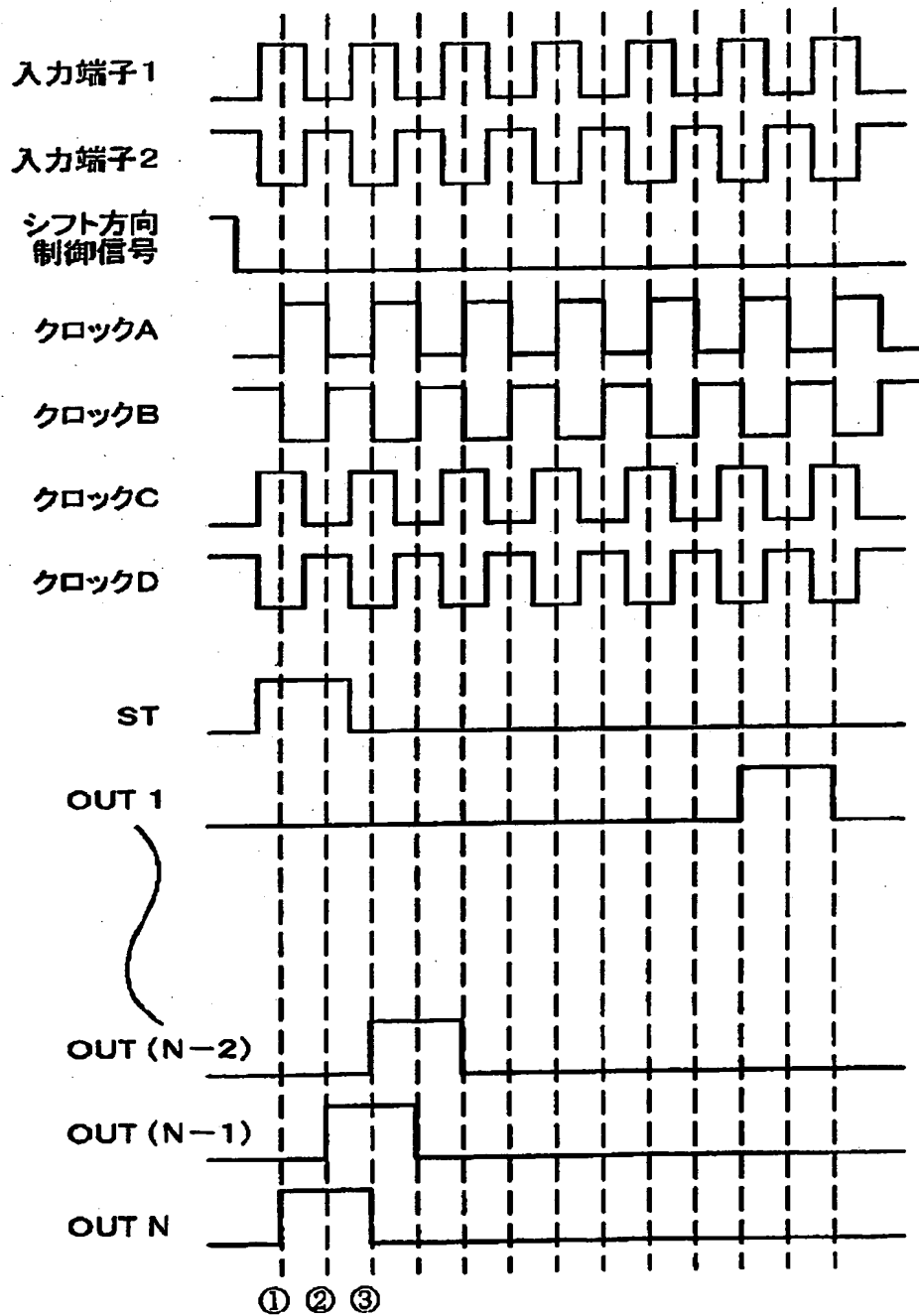
【図 4】



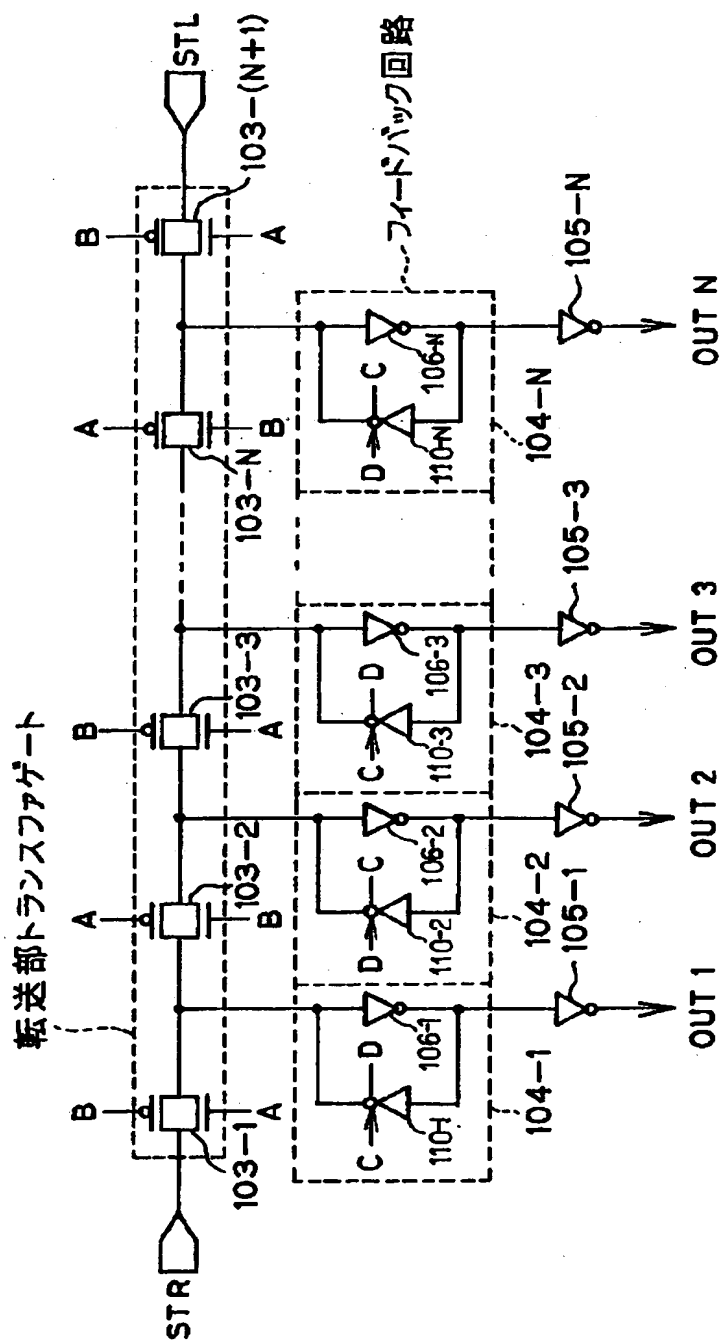
【図 5】



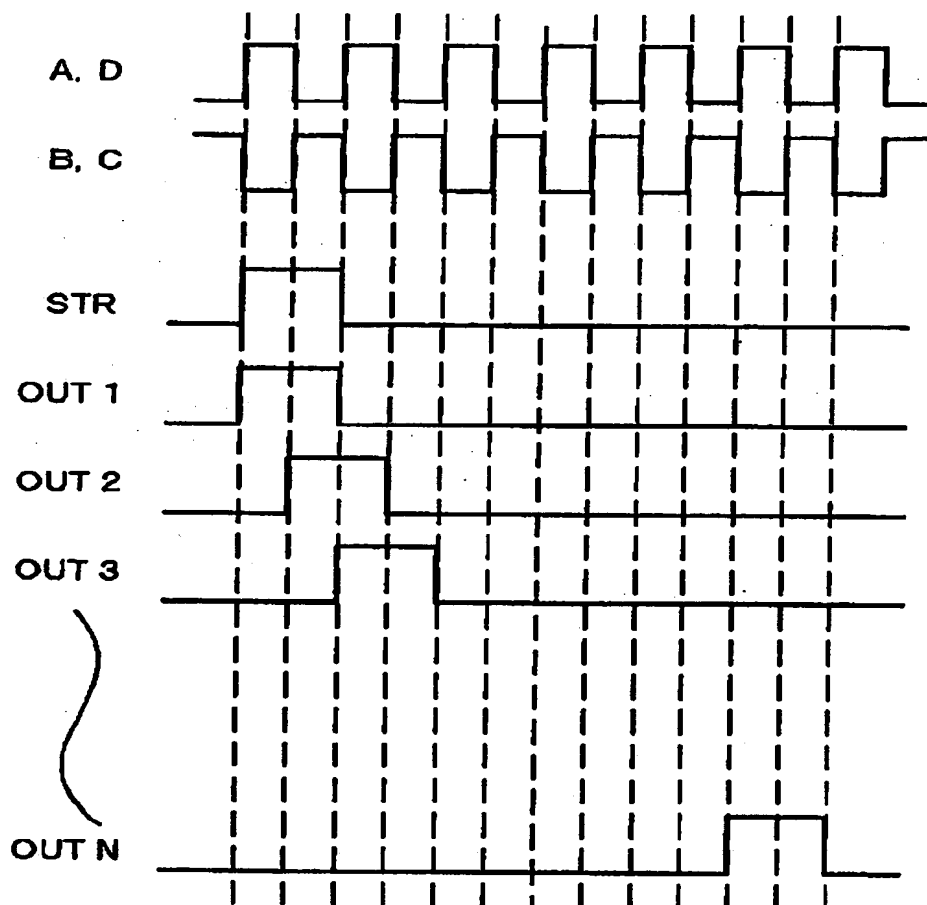
【図 6】



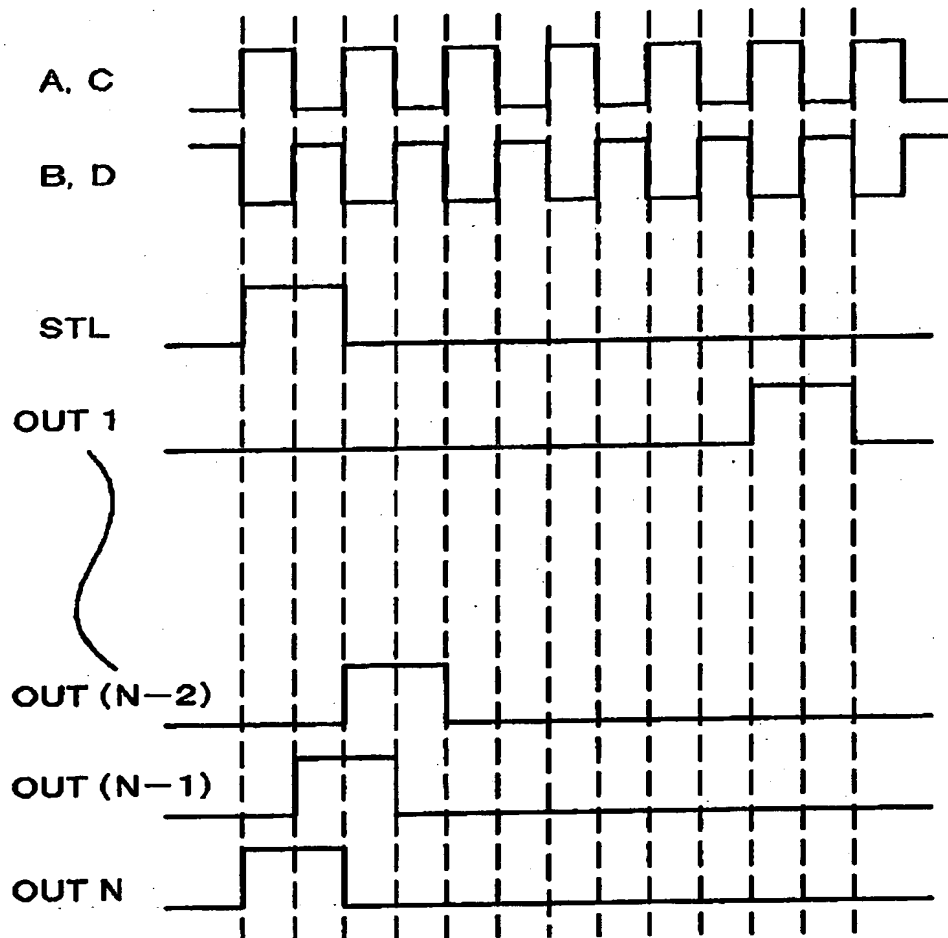
【図 7】



【図 8】

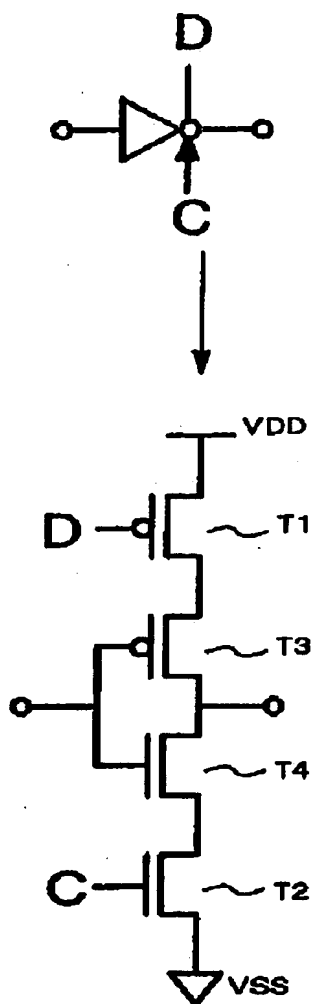


【図 9】

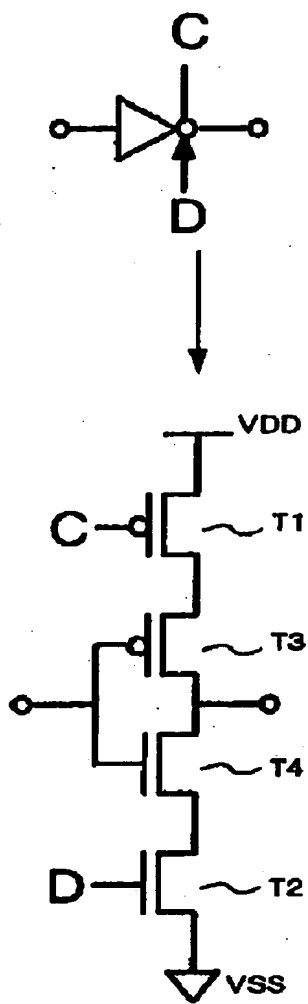


【図 10】

(a)



(b)



【書類名】 要約書

【要約】

【課題】

クロック信号の位相のずれに対する動作マージンを広げ、動作を安定なものとする走査回路の提供。

【解決手段】

4相クロックで転送部トランスファゲート及びフィードバック回路の動作が制御される双方向シフトレジスタを備えた走査回路において、転送部トランスファゲート（103）に供給する制御クロック（A、B）をフィードバック回路（104）に供給する制御クロック（C、D）に対して遅らせる遅延回路（101）を備える。

【選択図】

図1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社